

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-156209

(P2001-156209A)

(43)公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl.
H 01 L 23/12
21/3205
21/60
// H 01 L 21/60 3 1 1

識別記号

F I

マーク(参考)

H 01 L 21/60

3 1 1 S 5 F 0 3 3

23/12

E 5 F 0 4 4

21/88

T

S

21/92

6 0 2 P

審査請求 有 請求項の数 7 O.L (全 5 頁) 最終頁に続く

(21)出願番号 特願平11-337342
(22)出願日 平成11年11月29日(1999.11.29)

(71)出願人 000001443
カシオ計算機株式会社
東京都渋谷区本町1丁目6番2号

(72)発明者 青木 由隆
東京都青梅市今井3丁目10番地6 カシオ
計算機株式会社青梅事業所内

(72)発明者 竹中 宏
東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内

(74)代理人 100073221

弁理士 花輪 義男

F ターム(参考) 5F033 VV03 VV05 VV07

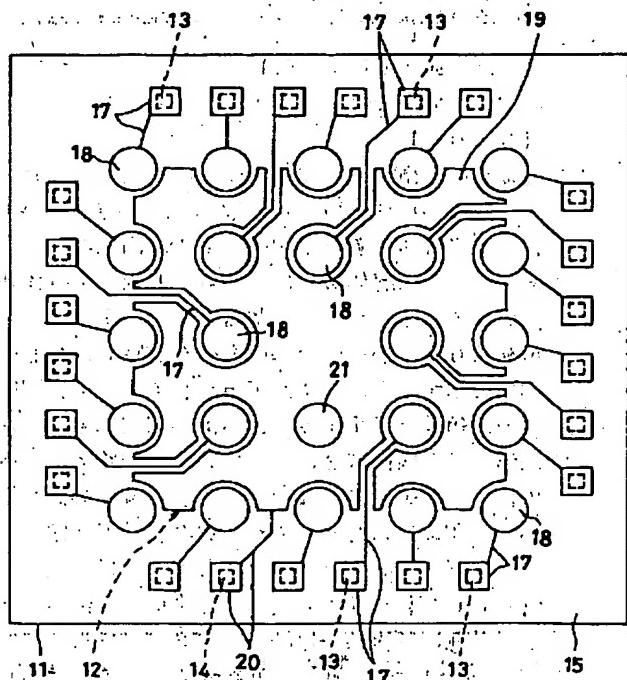
5F044 KK06 KK07 LL01 QQ02 QQ04

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 再配線上に突起電極が設けられたCSPにおいて、シリコン基板の回路素子形成領域内で発生する電磁ノイズが外部に漏れにくいようにするとともに、外部からの電磁ノイズの影響を受けにくいようとする。

【解決手段】 シリコン基板11の上面の中央部は回路素子形成領域12とされ、その外側には複数の信号用の接続パッド13および1つのグラウンド用の接続パッド14が設けられている。信号用の接続パッド13の上面から絶縁膜15の上面にかけて設けられた再配線17の先端のパット部上面には突起電極18が設けられている。回路素子形成領域12上の絶縁膜15の上面において信号用の再配線17およびその近傍を除く領域にはグラウンド層19が設けられている。グラウンド層19はグラウンド用の接続パッド14に再配線20を介して接続されている。グラウンド層19の上面の所定箇所には突起電極21が設けられている。



(2)

2

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された複数の接続パッドにそれぞれ再配線および該再配線上に突起電極を形成すると共に前記突起電極の周囲にグラウンド層を形成し、該グラウンド層上にグラウンド用突起電極を形成したことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の発明において、前記半導体基板上に少なくとも 1 つのグラウンド用接続パッドが形成され、該グラウンド用接続パッドに前記グラウンド層が接続されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の発明において、前記グラウンド層は前記再配線と同一の層に位置することを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の発明において、前記グラウンド層は前記半導体基板の端部まで延出されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の発明において、前記グラウンド層は複数に分割され、一の分割グラウンド層が前記グラウンド用接続パッドに接続されているとともに、各分割グラウンド層上にグラウンド用突起電極が設けられていることを特徴とする半導体装置。

【請求項 6】 請求項 1 記載の発明において、前記グラウンド層は前記再配線と同一の材料によって前記再配線の形成と同時に形成されていることを特徴とする半導体装置。

【請求項 7】 請求項 1 ~ 6 のいずれかに記載の発明において、前記突起電極および前記グラウンド用突起電極を除く前記半導体基板上面ほぼ全体に封止膜が設けられていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、再配線上に柱状の突起電極が設けられた半導体装置に関する。

【0002】

【従来の技術】半導体装置には、例えば C S P (Chip Size Package) と呼ばれるものがある。図 6 は従来のこのような半導体装置の一例の一部の断面図を示したものである。この半導体装置はシリコン基板 (半導体基板) 1 を備えている。シリコン基板 1 は、図 7 (図 6 において再配線 6 およびその上側のものを省略した状態の平面図) に示すように、平面正方形状であって、同図において一点鎖線で示すように、上面の四辺部を除く中央部を回路素子形成領域 2 とされている。回路素子形成領域 2 内には、図示していないが、この半導体装置が液晶表示パネル駆動用の L S I である場合、発振回路、レギュレータ回路、液晶ドライバ回路などが設けられている。

【0003】シリコン基板 1 の上面の回路素子形成領域 2 の外側には複数の接続パッド 3 が設けられている。接続パッド 3 は、シリコン基板 1 の上面に設けられた配線 3 a の一端部からなり、同配線 3 a を介して上記液晶ドライバ回路などと接続されている。接続パッド 3 の中央部を除

ライバ回路などと接続されている。接続パッド 3 の中央部を除くシリコン基板 1 の上面には酸化シリコンなどからなる絶縁膜 4 が設けられ、接続パッド 3 の中央部が絶縁膜 4 に形成された開口部 5 を介して露出されている。この露出された接続パッド 3 の上面から接続パッド 3 の内側における絶縁膜 4 の上面にかけて再配線 6 が設けられている。再配線 6 の先端のパッド部上面には柱状の突起電極 7 が設けられている。突起電極 7 を除く上面全体にはエポキシ系樹脂からなる封止膜 8 が設けられている。

【0004】

【発明が解決しようとする課題】ところで、従来のこのような半導体装置では、絶縁膜 4 の上面に再配線 6 をただ単に設けているだけであるので、回路素子形成領域 2 内で発生する電磁ノイズが外部に漏れ、また外部からの電磁ノイズの影響を受けやすいという問題があった。この発明の課題は、回路素子形成領域内で発生する電磁ノイズが外部に漏れにくくようになるとともに、外部からの電磁ノイズの影響を受けにくくようすることである。

【0005】

【課題を解決するための手段】この発明は、半導体基板上に形成された複数の接続パッドにそれぞれ再配線および該再配線上に突起電極を形成すると共に前記突起電極の周囲にグラウンド層を形成し、該グラウンド層上にグラウンド用突起電極を形成したものである。この発明によれば、突起電極の周囲にグラウンド層を形成しているので、このグラウンド層により、回路素子形成領域内で発生する電磁ノイズが外部に漏れにくくようになることができるとともに、外部からの電磁ノイズの影響を受けにくくようすごことができる。

【0006】

【発明の実施の形態】図 1 はこの発明の第 1 実施形態における半導体装置の封止膜を省略した状態の平面図を示し、図 2 はその一部の断面図を示したものである。この半導体装置はシリコン基板 (半導体基板) 1-1 を備えている。シリコン基板 1-1 は、平面正方形状であって、図 7において一点鎖線で示す場合と同様に、上面の四辺部を除く中央部を回路素子形成領域 1-2 とされている。回路素子形成領域 1-2 内には、図示していないが、この半導体装置が液晶表示パネル駆動用の L S I である場合、発振回路、レギュレータ回路、液晶ドライバ回路などが設けられている。

【0007】シリコン基板 1-1 の上面の回路素子形成領域 1-2 の外側には複数の信号用の接続パッド 1-3 および 1 つのグラウンド用の接続パッド 1-4 が設けられている。接続パッド 1-3、1-4 は、シリコン基板 1-1 の上面に設けられた配線 1-3 a、1-4 a の一端部からなり、同配線 1-3 a、1-4 a を介して上記液晶ドライバ回路などと接続されている。接続パッド 1-3、1-4 の中央部を除

(3)

3

シリコン基板11の上面には酸化シリコンなどからなる絶縁膜15が設けられ、接続パッド13、14の中央部が絶縁膜15に形成された開口部16を介して露出されている。

【0008】信号用の接続パッド13の開口部16を介して露出された上面から接続パッド13、14の内側における絶縁膜15の上面にかけて信号用の再配線17が設けられている。信号用の再配線17の先端のパッド部上面には信号用の柱状の突起電極18が設けられている。回路素子形成領域12上の絶縁膜15の上面において信号用の再配線17およびその近傍を除く領域にはグラウンド層19が設けられている。グラウンド層19はグラウンド用の接続パッド14にグラウンド用の再配線20を介して接続されている。グラウンド層19の上面の所定箇所にはグラウンド用の突起電極21が設けられている。突起電極18、21を除く上面全体にはエポキシ系樹脂からなる封止膜22が設けられている。なお、グラウンド層19およびグラウンド用の再配線20は、信号用の再配線17と同一の材料によって信号用の再配線17の形成と同時に形成されている。

【0009】このように、この半導体装置では、回路素子形成領域12上の絶縁膜15の上面において信号用の再配線17およびその近傍を除く領域にグラウンド層19を設けているので、回路素子形成領域12の大部分がグラウンド層19によつて覆われ、したがつて回路素子形成領域12内で発生する電磁ノイズが外部に漏れにくくようになるとともに、外部からの電磁ノイズの影響を受けにくくようになることができる。

【0010】また、回路素子形成領域12上においては、信号用の再配線17の周囲にグラウンド層19が設けられているので、信号用の再配線17の近傍における電界の広がりを抑えることができる。この結果、信号伝達速度の高速化を図ることができ、また隣接する信号用の再配線17間におけるクロストークを低減することができる。

【0011】なお、上記第1実施形態では、回路素子形成領域12上の絶縁膜15の上面において信号用の再配線17およびその近傍を除く領域にグラウンド層19を設けた場合について説明したが、これに限らず、図3に示すこの発明の第2実施形態のように、グラウンド層19をシリコン基板11の端部まで延出させるようにしてもよい。この場合、グラウンド用の接続パッド14はグラウンド層19によつて覆われる所以、図1において符号20で示すグラウンド用の再配線というようなものは無い。

【0012】ところで、図1に示すような構成において、例えば図4に示すこの発明の第3実施形態のように、ある2つの突起電極18-a、18-bがその間の再配線17-aを介して接続されている場合、グラウンド層は符号19-a、19-bで示すように2つに分割される。こ

のような場合、2つのグラウンド層19-a、19-bを回路素子形成領域12上において直接接続することはできない。

【0013】そこで、図4に示す半導体装置では、2つのグラウンド層19-a、19-bの上面の各所定の箇所にグラウンド用の突起電極21-a、21-bが設けられている。そして、図5に示すように、この半導体装置を回路基板31上に搭載する。この場合、回路基板31は多層基板からなり、その上面に形成された複数の接続端子31のうえ所定の2つは内部配線33を介して接続されている。

【0014】そして、半導体装置の突起電極21-a、21-b、18-bは回路基板31の接続端子32に、接続端子32上に予め設けられた半田(ペースト)34を介して接続されている。したがつて、2つのグラウンド層19-a、19-bは、その間に突起電極18-bなどがある、突起電極21-a、半田34、接続端子32、内部配線33、接続端子32、半田34および突起電極21-bを介して電気的に接続されている。この結果、グラウンド層が2つまたはそれ以上に分割されても、これらの分割グラウンド層を電気的に接続することができる。

【0015】なお、上記各実施形態における半導体装置は、ウエハ状態のものから製造されるものであり、封止膜形成工程後のダイシング工程を経ることにより、各半導体装置が得られる。

【0016】

【発明の効果】以上説明したように、この発明によれば、突起電極の周囲にグラウンド層を形成しているので、このグラウンド層により、回路素子形成領域内で発生する電磁ノイズが外部に漏れにくくようになることができるとともに、外部からの電磁ノイズの影響を受けにくくようになることができる。また、突起電極の周囲に形成されたグラウンド層により、再配線の近傍における電界の広がりを抑えることができ、この結果、信号伝達速度の高速化を図ることができ、また隣接する再配線間ににおけるクロストークを低減することができる。

【図面の簡単な説明】

【図1】この発明の第1実施形態における半導体装置の封止膜を省略した状態の平面図。

【図2】図1の一部の断面図。

【図3】この発明の第2実施形態における半導体装置の封止膜を省略した状態の平面図。

【図4】この発明の第3実施形態における半導体装置の封止膜を省略した状態の平面図。

【図5】図4に示す半導体装置を回路基板上に搭載した状態の一部の断面図。

【図6】従来の半導体装置の一例の一部の断面図。

【図7】図6において再配線およびその上側のものを省略した状態の平面図。

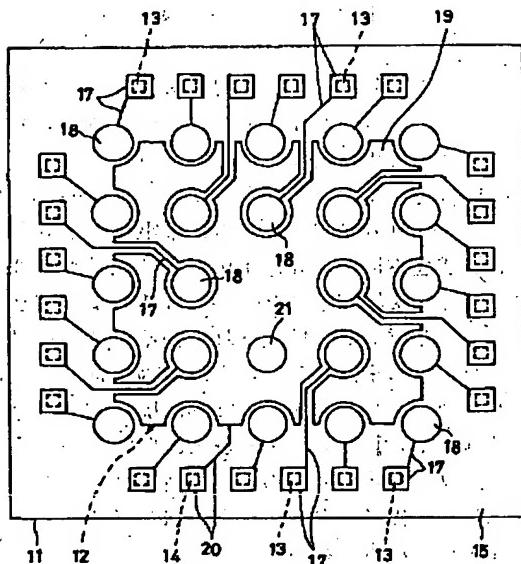
【符号の説明】

(4)

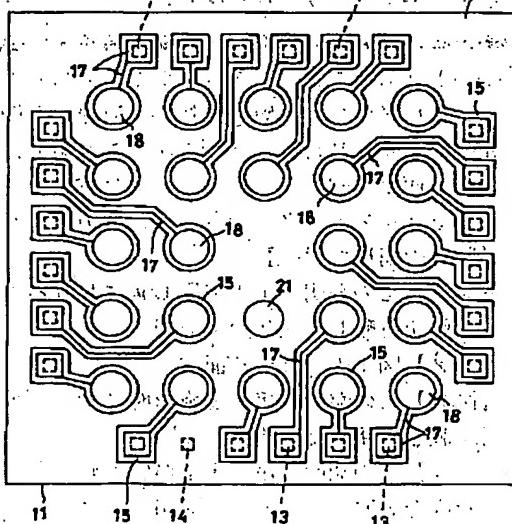
- 1 1 シリコン基板
 1 2 回路素子形成領域
 1 3 信号用の接続パッド
 1 4 グラウンド用の接続パッド
 1 5 絶縁膜
 1 7 信号用の再配線

5

【図1】



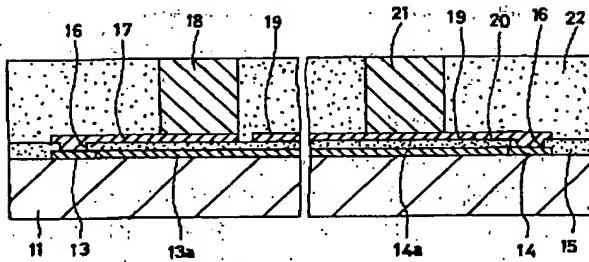
【図3】



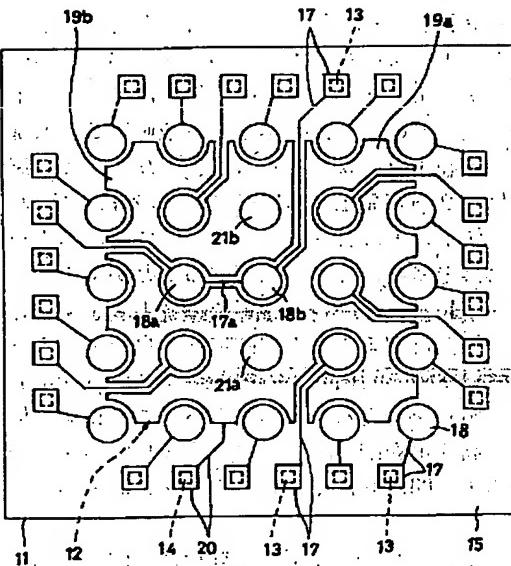
- 1 8 信号用の突起電極
 1 9 グラウンド層
 2 0 グラウンド用の再配線
 2 1 グラウンド用の突起電極
 2 2 封止膜

6

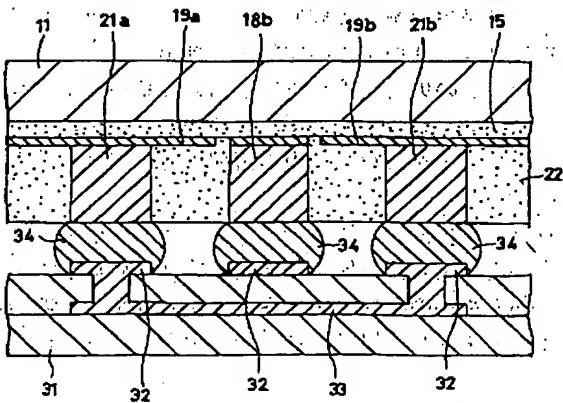
【図2】



【図4】

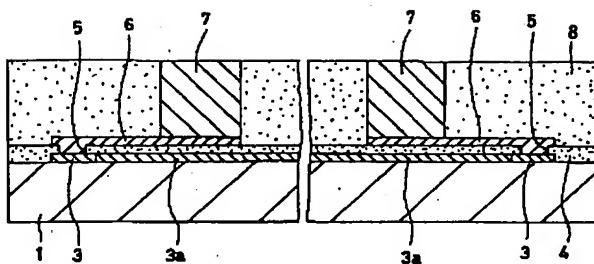


【図5】

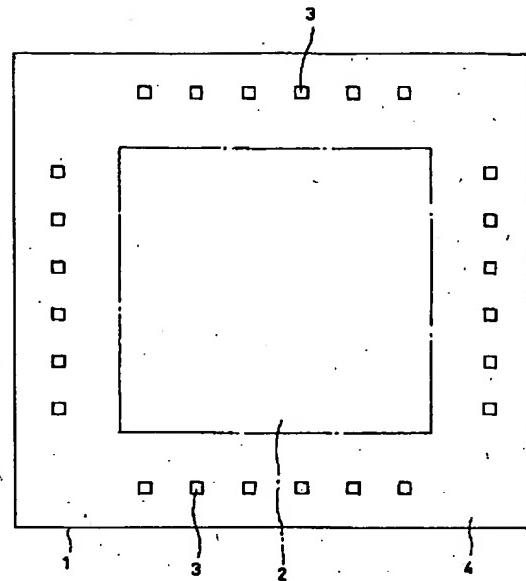


(5)

【図6】



【図7】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 0 1 L 23/12テマコード (参考)
L
Q